

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-131709

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

G02F 1/1345
G02F 1/133
G02F 1/136
G09F 9/30
G09G 3/20
G09G 3/36

(21)Application number : 10-306151

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.10.1998

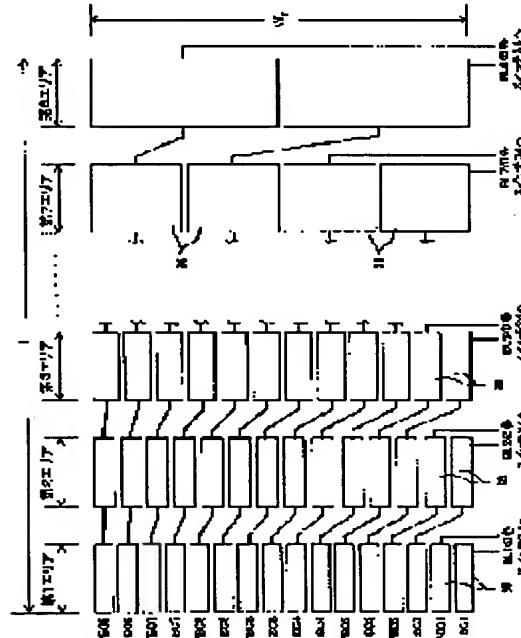
(72)Inventor : OURAMI CHIYA
MURAKAMI HIROSHI
TAKAHARA KAZUHIRO

(54) DRIVER INTEGRATED LIQUID CRYSTAL DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a liquid crystal display panel that the difference between resistive values of block control wirings is made small, the occurrence of the reduction in the sharpness of a waveform is prevented and a good display performance is obtained, by varying the widths of the block control wirings for every block control wiring arrangement area.

SOLUTION: Analog switches 34, which are connected between data wirings and picture display sections, are divided into eight blocks BL1 to BL8 and the switches 34 of a same block are connected with common block control wirings 36. The wirings are set to have different wire widths for every block control wiring arrangement area corresponding to the blocks BL1 to BL8. In other words, sixteen wirings 36 go through a block control wiring arrangement area (a first area) corresponding to the block BL1. Similarly, fourteen wirings 36 go through an area (a second area) corresponding to the block BL2. Thus, the number of the wirings 36 is reduced while the widths of the wirings 36 are increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-131709
(P2000-131709A)

(43)公開日 平成12年5月12日 (2000.5.12)

(51)Int.Cl. ⁷	識別記号	F I	マーク(参考)
G 0 2 F	1/1345	G 0 2 F	1/1345
	1/133	1/133	5 0 5 2 H 0 9 2
	1/136	1/136	5 0 0 2 H 0 9 3
G 0 9 F	9/30	G 0 9 F	9/30
G 0 9 G	3/20	G 0 9 G	3/20
	6 1 1	6 1 1 J	5 C 0 8 0
			5 C 0 9 4
		審査請求 未請求 請求項の数 7 O L (全 11 頁)	最終頁に続く

(21)出願番号 特願平10-306151

(22)出願日 平成10年10月27日 (1998.10.27)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 大浦 道也

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 村上 浩

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100091672

弁理士 岡本 啓三

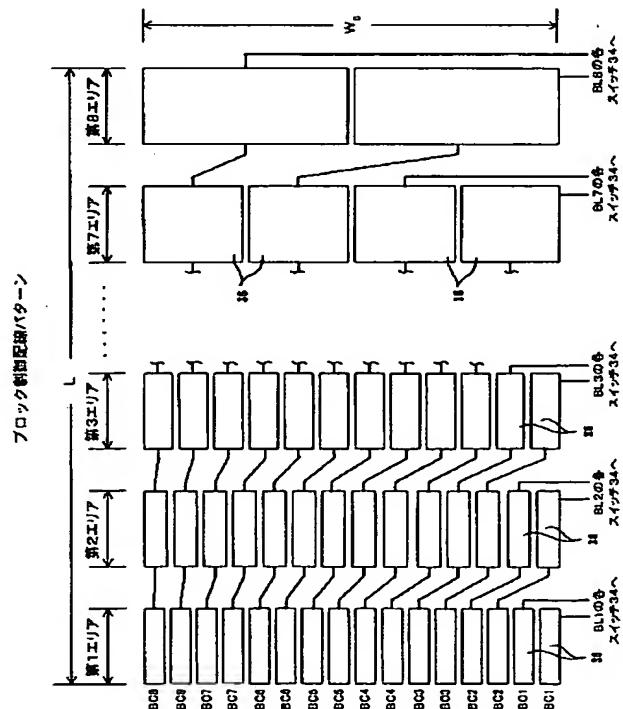
最終頁に続く

(54)【発明の名称】 ドライバ一体型液晶表示パネル

(57)【要約】

【課題】 ブロック制御配線の抵抗値の差が小さく、波形の鋸歯を回避できて良好な表示性能が得られる液晶表示パネルを提供する。

【解決手段】 TAB端子とアナログスイッチとの間に配置されてアナログスイッチにブロック制御信号を伝達するブロック制御配線36の幅を、ブロック制御配線配置エリアを通るブロック制御配線36の本数に応じて設定する。



【特許請求の範囲】

【請求項1】 ガラス基板と、

前記ガラス基板上に設けられた画像表示部と、
前記ガラス基板上の前記画像表示部の外側に配置されて
データ信号が与えられるデータ配線と、
前記データ配線と前記画像表示部との間に接続され、かつ、複数のブロックにグループ分けされた複数のスイッチ素子と、
前記スイッチ素子を前記ブロック毎に制御するブロック制御信号が供給される複数のブロック制御配線と、
前記ガラス基板上に配置されて前記画像表示部に走査信号を供給する走査側ドライバ回路とを有するドライバ一体型液晶表示パネルにおいて、
前記ブロック制御配線は、前記ブロックに対応する各ブロック制御配線配置エリア毎に配線幅が異なることを特徴とするドライバ一体型液晶表示パネル。

【請求項2】 前記ブロック制御配線配置エリアの幅を W_0 とし、前記ブロック制御配線配置エリアを通る前記ブロック制御配線の幅を w 、本数を n とし、ブロック制御配線間の間隔を S としたときに、

$$w = (W_0 - (n - 1)S) / n$$

に設定されていることを特徴とする請求項1に記載のドライバ一体型液晶表示パネル。

【請求項3】 各ブロック制御配線配置エリアにおける前記ブロック制御配線の幅は、各ブロック制御配線の始点から終点までの抵抗値がほぼ一定となるように設定されていることを特徴とする請求項1に記載のドライバ一体型液晶表示パネル。

【請求項4】 前記ブロック制御配線は多層構造を有し、上層のブロック制御配線と下層のブロック制御配線とはコンタクトホールを介して相互に電気的に接続されていることを特徴とする請求項1に記載の液晶表示パネル。

【請求項5】 同一ブロックの複数のスイッチ素子を相互に接続する接続配線を有し、該接続配線の中央部に前記ブロック制御配線が接続されていることを特徴とする請求項1に記載のドライバ一体型液晶表示パネル。

【請求項6】 ガラス基板と、

前記ガラス基板上に設けられた画像表示部と、
前記ガラス基板上の前記画像表示部の外側に配置されて
データ信号が与えられるデータ配線と、
前記データ配線と前記画像表示部との間に接続され、かつ、複数のブロックにグループ分けされた複数のスイッチ素子と、
前記スイッチ素子を前記ブロック毎に制御するブロック制御信号が供給される複数のブロック制御配線と、
前記ガラス基板上に配置されて前記画像表示部に走査信号を供給する走査側ドライバ回路とを有するドライバ一体型液晶表示パネルにおいて、
前記複数のブロック制御配線は、その始点から終点まで

の抵抗値の差が小さくなるようにそれぞれ比抵抗が調整されていることを特徴とするドライバ一体型液晶表示パネル。

【請求項7】 前記ブロック制御配線の比抵抗は、層構造を変化させて調整されていることを特徴とする請求項6に記載のドライバ一体型液晶表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に関し、特にガラス基板上にドライバ回路を一体的に形成したドライバ一体型液晶表示パネルに関する。

【0002】

【従来の技術】 液晶表示装置は、CRT (Cathode-Ray Tube) に比べて小型、軽量かつ低消費電力という利点があり、ノートパソコン等の表示装置として広く使用されている。一般的に、液晶表示装置は2枚の透明基板の間に液晶を封入した構造を有している。それらの透明基板の相互に対向する2つの面(対向面)のうち、一方の面側には対向電極、カラーフィルタ及び配向膜等が形成され、他方の面側にはTFT (Thin Film Transistor: 薄膜トランジスタ)、画素電極及び配向膜等が形成されている。更に、各透明基板の対向面と反対側の面には、それぞれ偏光板が貼り付けられている。これらの2枚の偏光板は、例えば偏光板の偏光軸が互いに直交するように配置され、これによれば、電界をかけない状態では光を透過し、電界を印加した状態では遮光するモード、すなわちノーマリーホワイトモードとなる。その反対に、2枚の偏光板の偏光軸が平行な場合には、ノーマリーブラックモードとなる。以下、TFT及び画素電極等が形成された透明基板をTFT基板、対向電極等が形成された透明基板を対向基板という。

【0003】 近年、低温プロセスで形成した薄膜ポリシリコンを活性層とするTFT (以下、ポリシリコンTFTという) が開発され、液晶表示装置に使用されるようになった。低温プロセスでポリシリコンTFTを形成する場合は、透明基板として安価なガラス基板を使用することができるという利点がある。また、近年、液晶表示装置のより一層の高精細化が要求されており、これに対応して、TFT基板の表示領域の外側にポリシリコンTFTで構成されたドライバ回路を配置する、いわゆるドライバ一体型液晶表示装置の開発が進められている。

【0004】 ドライバ一体型液晶表示装置の一つに、TAB併用ドライバ一体型液晶表示装置がある。TAB併用ドライバ一体型液晶表示装置では、比較的低速で動作する走査ドライバ回路(ゲートドライバ回路ともいう)をガラス基板上に形成し、比較的高速で動作するデータドライバ回路をガラス基板と別個に形成してTAB (Tab automated bonding) 又はCOG (Chip on glass) によりガラス基板と接続し、コストの低減と消費電力の低減を図るものである。

【0005】図1はTAB併用ドライバ一体型液晶表示装置を示すブロック図である。なお、以下の例では、液晶表示パネルの水平方向の画素数は800×3 (R・G・B) 個、垂直方向の画素数は600個とする。液晶表示装置は、液晶表示パネル10と制御回路部20により構成される。制御回路部20は、パーソナルコンピュータ等の映像出力装置からR(赤)・G(緑)・B(青)の映像信号と、水平同期信号Hs及び垂直同期信号Vsとを入力し、データ信号D₁～D₃₀₀、ブロック制御信号BC1～BC8及びブロック制御信号の反転信号/B_{C1}～/BC8、ゲートスタート信号GSI並びにゲートクロック信号GCLKを出力する。

【0006】一方、液晶表示パネル10は、前述の如く、対向して配置されたTFT基板及び対向基板と、これらの基板間に封入された液晶とにより構成されている。図2は液晶表示パネル10のTFT基板を示す模式図である。この図2に示すように、TFT基板は、ガラス基板11と、このガラス基板11上に設けられた画像表示部12、走査ドライバ回路13、アナログスイッチ14及びTAB端子15により構成されている。TAB端子15にはデータドライバ回路を構成する半導体チップがTAB接続される。また、制御回路部20と液晶表示パネル10とはフレキシブルケーブルを用いて接続される。

【0007】図3は表示部12の平面図である。表示部12は画像を表示するための複数の画素がマトリクス状に配列された領域であり、この図3に示すように、データバスライン21、ゲートバスライン22、画素電極23及びTFT24が形成されている。データバスライン21及びゲートバスライン22は相互に直交して配置されており、両者の間に形成された絶縁膜により電気的に絶縁されている。データバスドライバ21及びゲートバスドライバ22により囲まれた矩形状の領域が画素であり、各画素にはそれぞれTFT24及び画素電極23が配置されている。TFT24はゲートバスライン22の突出部分(ゲート)と、その上に絶縁膜を介して選択的に形成されたポリシリコン膜25とにより構成される。TFT24のソースはコンタクトホール(図示せず)を介して画素電極23に接続されており、TFT24のドレインはコンタクトホール(図示せず)を介してデータバスライン21に接続されている。

【0008】図2に示すように、走査ドライバ回路13及びアナログスイッチ14はガラス基板11の表示部12の外側に配置されている。また、ガラス基板11上にはTAB端子15とアナログスイッチ14とを接続する300本のデータ配線17、16本のブロック制御配線16が形成されている。データ配線17にはデータ信号D₁～D₃₀₀が供給され、ブロック制御配線16にはブロック制御信号BC1～BC8、/BC1～/BC8が供給される。

【0009】アナログスイッチ14は、図4に示すよう

に、1対のP型トランジスタTP及びN型トランジスタTNにより構成されており、その一対のトランジスタTP、TNの各ソースが相互接続されてデータ信号入力端となり、各ドレインが相互に接続されてデータ信号出力端となっている。また、トランジスタTP、TNの各ゲートがそれぞれブロック制御信号入力端となっている。アナログスイッチ14は300個づつ8つのブロックBL1～BL8にグループ分けされており、各ブロックBL1～BL8のアナログスイッチ14のデータ信号入力端はデータ配線17のいずれか1つに接続され、データ信号出力端は表示部12のデータバスライン21のいずれか1つに接続されている。また、アナログスイッチ14の2つの制御信号入力端は、対応するブロック制御配線16に接続されている。すなわち、ブロックBL1の各アナログスイッチ14の一方のトランジスタTNのゲートはブロック制御信号BC1が供給される配線16に接続され、他方トランジスタTPのゲートはブロック制御信号/BC1(ブロック制御信号BC1の反転信号)が供給される配線16に接続されている。同様に、ブロックBL2の各アナログスイッチ14の一方のトランジスタTNのゲートはブロック制御信号BC2が供給される配線16に接続され、他方トランジスタTPのゲートはブロック制御信号/BC2(ブロック制御信号BC2の反転信号)が供給される配線16に接続されている。以下、第3ブロックBL3から第8ブロックBL8の各アナログスイッチ14についても同様である。

【0010】走査ドライバ回路13には制御回路部20からゲートスタート信号GSI及びゲートクロック信号GCLKが入力される。走査ドライバ回路13はゲートスタート信号GSIを入力した後、ゲートクロック信号GCLKに同期したタイミングで、表示部12の各ゲートバスライン22に対し順番に走査信号を出力する。以下、上記のように構成されたドライバ一体型液晶表示装置の動作について説明する。制御回路部20は、垂直同期信号Vsに同期したタイミングでゲートスタート信号GSIを出力し、水平同期信号Hsに同期したタイミングでゲートクロック信号GCLKを出力する。走査ドライバ回路13は、ゲートスタート信号GSIを入力した後、ゲートクロック信号GCLKに同期して、ゲートバスライン22に対し上から順に走査信号を供給する。最初の1水平同期期間では1行目(1番上)のゲートバスライン22に走査信号が供給され、この1行目のゲートバスライン22に接続されたTFT24がオンになる。

【0011】一方、制御回路部20は、1水平同期期間を8つの期間に分割して各期間(8分割期間)毎にブロック制御信号BC1～BC8のいずれか1つとその反転信号とを対応するブロック制御配線16に供給する。すなわち、最初の8分割期間では、16本のブロック制御信号16のうちの2本にブロック制御信号BC1、/BC1が供給され、第1ブロックBL1の各アナログスイッチ14がオ

ンになる。

【0012】また、制御回路部20は、信号源（パソコン用コンピュータ等）から送られてくるデータ信号（シリアル）をパラレル（ここでは300）に変換して一時記憶し、1水平期間を8分割した期間（8分割期間）に300本のデータ配線17に対しデータ信号D₁～D₃₀₀を供給する。このようにして、1行目の第1ブロックBL1の各画素にデータ信号が供給される。次の8分割期間では16本のブロック制御配線16のうちの他の2本にブロック制御信号BC2，/BC2が供給され、第2ブロックBL2の各アナログスイッチ14がオンになる。そして、第2ブロックのアナログスイッチ14を介して1行目第2ブロックBL2の各画素にデータ信号D₁～D₃₀₀が供給される。

【0013】このようにして1行目の各画素にそれぞれデータ信号が供給された後、次の水平同期期間では2行目のゲートバスライン22に走査信号が供給され、上記と同様にして2行目の各画素にデータ信号が供給される。このようにして、1垂直同期期間内に全ての画素にデータ信号が供給され、液晶表示パネルに所定の画像が表示される。1垂直同期期間毎に上記の動作を繰り返して1垂直期間毎に画像が更新される。

【0014】

【発明が解決しようとする課題】しかしながら、上述し

た構造の従来の液晶表示パネルでは、以下に示す問題点がある。図5はブロック制御配線の配線パターンを示す模式図である。この図5に示すように、従来の液晶表示パネルでは、ブロック制御配線16はすべて同じ幅で形成されているが、各ブロック制御配線16の長さが異なるため、各ブロック制御配線の始点から終点までの抵抗値が大きく異なる。以下、この図5に示すように、ブロック制御配線16が配置される矩形の領域（長さL、幅W₀）のうち第1ブロックBL1～第8ブロックBL8に対応する領域をそれぞれ第1エリア～第8エリアという。

【0015】下記表1に、ある液晶表示パネルについて、各エリアにおけるブロック制御配線の配線幅と各ブロック制御配線の始点から終点までの間の抵抗値とを計算した結果を示す。但し、ブロック制御配線を配置する矩形エリアの幅W₀は387.2μm、ブロック制御配線間の間隔は8μmである。また、この表1において、第1ブロック制御配線はブロック制御信号BC1，/BC1が与えられる配線であり、以下同様に、第2～第8のブロック制御配線はそれぞれブロック制御信号BC2，/BC2～BC8，/BC8が与えられる配線である。また、表1において、抵抗値以外の欄の数値の単位はμmである。

【0016】

【表1】

ブロック 制御配線 エリア	第1	第2	第3	第4	第5	第6	第7	第8	抵抗値 Ω
第1	16.7	—	—	—	—	—	—	—	127.5
第2	16.7	16.7	—	—	—	—	—	—	382.6
第3	16.7	16.7	16.7	—	—	—	—	—	637.7
第4	16.7	16.7	16.7	16.7	—	—	—	—	892.8
第5	16.7	16.7	16.7	16.7	16.7	—	—	—	1147.9
第6	16.7	16.7	16.7	16.7	16.7	16.7	—	—	1403.0
第7	16.7	16.7	16.7	16.7	16.7	16.7	16.7	—	1658.1
第8	16.7	16.7	16.7	16.7	16.7	16.7	16.7	16.7	1913.2

【0017】また、図6は各ブロック制御配線（第1～第8ブロック制御配線）の抵抗値を示す図である。この表1及び図6に示すように、従来は各ブロック制御配線の抵抗値が大きく異なる。ブロック制御配線には1ブロック分のアナログスイッチ14のゲート容量（1個当たり約1pF、上記の例では1ブロック当たり約300pF）が負荷としてかかるので、特に配線長が長いブロック制御配線に供給される信号の波形が鈍り、表示不良の原因となる。

【0018】本発明の目的は、ブロック制御配線の抵抗値の差が小さく、波形の鈍りを回避できて良好な表示性能が得られる液晶表示パネルを提供することである。

【0019】

【課題を解決するための手段】上記した課題は、ガラス基板と、前記ガラス基板上に設けられた画像表示部と、前記ガラス基板上の前記画像表示部の外側に配置されてデータ信号が与えられるデータ配線と、前記データ配線と前記画像表示部との間に接続され、かつ、複数のブロックにグループ分けされた複数のスイッチ素子と、前記スイッチ素子を前記ブロック毎に制御するブロック制御信号が供給される複数のブロック制御配線と、前記ガラス基板上に配置されて前記画像表示部に走査信号を供給する走査側ドライバ回路とを有するドライバ一体型液晶表示パネルにおいて、前記ブロック制御配線は、前記ブ

ロックに対応する各ブロック制御配線配置エリア毎に配線幅が異なることを特徴とするドライバ一体型液晶表示パネルにより解決する。

【0020】また、上記した課題は、ガラス基板と、前記ガラス基板上に設けられた画像表示部と、前記ガラス基板上の前記画像表示部の外側に配置されてデータ信号が与えられるデータ配線と、前記データ配線と前記画像表示部との間に接続され、かつ、複数のブロックにグループ分けされた複数のスイッチ素子と、前記スイッチ素子を前記ブロック毎に制御するブロック制御信号が供給される複数のブロック制御配線と、前記ガラス基板上に配置されて前記画像表示部に走査信号を供給する走査側ドライバ回路とを有するドライバ一体型液晶表示パネルにおいて、前記複数のブロック制御配線は、その始点から終点までの抵抗値の差が小さくなるようにそれぞれ比抵抗が調整されていることを特徴とするドライバ一体型液晶表示パネルにより解決する。

【0021】以下、作用について説明する。本発明においては、ブロック制御配線の配線幅が、各ブロックに対応するブロック制御配線配置エリア毎に異なっている。例えば、ブロック制御配線配置エリアの幅を W_0 とし、当該ブロック制御配線配置エリアを通るブロック制御配線の本数をnとし、ブロック制御配線間の間隔をSとしたときに、当該ブロック制御配線配置エリアを通るブロック制御配線の幅wを下記式（1）で示すように決定する。

【0022】

$$w = (W_0 - (n-1)S) / n \quad \cdots (1)$$

このようにして各ブロック制御配線配置エリア毎にブロック制御配線の幅を変えることにより、配線長が長いブロック制御配線の抵抗値を低減することができて、データ信号の波形の鈍りが軽減される。各ブロック制御配線配置エリア毎のブロック制御配線の幅は、各ブロック制御配線の始点から終点までの抵抗値がほぼ均一になるように設定してもよい。また、ブロック制御配線を2層構造とし、上層のブロック制御配線と下層のブロック制御配線とをコンタクトホールを介して相互に電気的に接続することにより、ブロック制御配線の抵抗値を低減することができる。更に、同一ブロックの複数のスイッチ素子を相互に接続する接続配線の中央部に前記ブロック制御配線を接続するようにすれば、同一ブロック内の抵抗値の差による信号の鈍りを低減することができる。

【0023】また、各ブロック制御配線の配線幅を変化させる代りに、各配線の比抵抗（単位長さ当たりの抵抗値）を調整して各ブロック制御配線の始点から終点までの抵抗値の差を小さくしてもよい。例えば、配線長が短いブロック制御配線を比較的抵抗値が高い材料により形成し、配線長が長いブロック制御配線を抵抗値が低い材料により形成することにより、ブロック制御配線の比抵抗を調整することができる。また、配線長が短いブロッ

ク制御配線を単層構造とし、配線長が長い配線を多層構造（2層又は3層構造）とすることにより、ブロック制御配線の比抵抗を調整することができる。このように、ブロック制御配線の比抵抗を調整することにより、各ブロック制御配線の始点から終点までの抵抗値の差を小さくすることができて、データ信号の鈍りによる表示不良を回避することができる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。

（第1の実施の形態）図7は本発明の第1の実施の形態の液晶表示パネルを示す平面図、図8は同じくその液晶表示パネルのブロック制御配線のレイアウトパターンを示す平面図である。なお、本実施の形態においても、液晶表示パネルの水平方向の画素数は800×3（R・B・G）個、水平方向の画素数は600個とする。

【0025】ガラス基板31上には、複数の画素がマトリクス状に配列されてなる画像表示部32、走査ドライバ回路33、アナログスイッチ34及びTAB端子35が形成されている。また、ガラス基板31上には、TAB端子35とアナログスイッチ34との間を接続する16本のブロック制御配線36、及び300本のデータ配線37が配置されている。これらのブロック制御配線36及びデータ配線37は例えばアルミニウム等の導電材料により形成されている。

【0026】アナログスイッチ34は300個づつ8つのブロックBL1～BL8にグループ分けされており、同一ブロックのアナログスイッチ34には共通のブロック制御配線36が接続されている。これらのアナログスイッチ34は2つのトランジスタにより構成されている（図4参照）。また、同一ブロックのアナログスイッチ34の各データ信号入力端はそれぞれ異なるデータ配線37に接続されており、各データ信号出力端は表示部32のそれぞれ異なるデータバスライン（図3参照）に接続されている。

【0027】また、走査ドライバ回路33には制御回路部（図1参照）からゲートスタート信号GSI及びゲートクロック信号GCLKが入力される。走査ドライバ回路33は、ゲートスタート信号GSIを入力した後、ゲートクロック信号GCLKに同期したタイミングで表示部32の各ゲートバスラインに対し順番に走査信号を供給する。ブロック制御配線36は、図8に示すように、ブロックBL1～BL8に対応した各ブロック制御配線配置エリア毎に線幅が異なるように設定されている。すなわち、ブロック制御配線が配置される矩形の領域（長さL、幅 W_0 ）のうちブロックBL1に対応するブロック制御配線配置エリア（第1のエリア）には16本のブロック制御配線36が通り、ブロックBL2に対応するブロック制御配線配置エリア（第2のエリア）には14本のブロック制御配線36が通り、ブロックBL3に対応するブロック制御配線

配置エリア（第3のエリア）には12本のブロック制御配線36が通りというように、図中右側のエリアほどブロック制御配線36の本数が少なくなり、配線36の幅が太くなる。

【0028】本実施の形態においては、エリアとエリアとの間は幅が狭い配線により接続されているが、この部分の長さはブロック制御配線36の全長に比べて極めて短い（長さの比で200分の1程度）。このため、この部分により抵抗値が大幅に高くなることはない。この部分の配線を、例えば幅が連続的に変化するようにテープ一状としてもよい。

【0029】本実施の形態では、各ブロック制御配線36の幅は、下記表2に示すように設定されている。但

ブロック 制御配線	第1 197	第2 197	第3 197	第4 197	第5 197	第6 197	第7 197	第8 197	抵抗値 Ω
第1	16.8	—	—	—	—	—	—	—	63.4
第2	16.8	20.3	—	—	—	—	—	—	168.3
第3	16.8	20.3	25	—	—	—	—	—	253.5
第4	16.8	20.3	25	31.6	—	—	—	—	320.9
第5	16.8	20.3	25	31.6	41.5	—	—	—	372.2
第6	16.8	20.3	25	31.6	41.5	58	—	—	409.0
第7	16.8	20.3	25	31.6	41.5	58	91	—	432.4
第8	16.8	20.3	25	31.6	41.5	58	91	190	443.6

【0031】また、図9は各ブロック制御配線（第1～第8ブロック制御配線）の抵抗値を示す図である。この表2及び図9に示すように、本実施の形態では、抵抗値の最小値（第1ブロック制御配線の抵抗値）と最大値（第8ブロック制御配線の抵抗値）との差が400Ω以下であり、従来（図6参照）に比べて、抵抗値の差を著しく低減することができる。また、抵抗値の最大値を低減することができるので、ブロック制御信号の波形の鈍りを抑制することができて、良好な表示品質が得られる。

【0032】（第2の実施の形態）図10は本発明の第2の実施の形態の液晶表示パネルのブロック制御配線の配線パターンを示す模式図である。なお、本実施の形態が第1の実施の形態と異なる点はブロック制御配線の形

し、第1ブロック制御配線は制御信号BC1、/BC1が与えられる配線であり、以下同様に第2～第8ブロック制御配線はそれぞれ制御信号BC2、/BC2～BC8、/BC8が与えられる配線である。表2中の数字の単位はμmである。これらのブロック制御配線の幅wは、ブロック制御配線配置エリアの幅W₀を約380μmとし、ブロック制御配線間の間隔を8μmとして、前述の（1）式により計算して決定したものである。また、表2に、各ブロック制御配線の始点から終点までの間の抵抗値を併せて示す。

【0030】

【表2】

状が異なることにあり、その他の部分は基本的に第1の実施の形態と同様であるので、重複部分の説明は省略する。

【0033】本実施の形態においては、各ブロック制御配線36の幅は、各配線36の始点から終点までの抵抗値がほぼ均一となるように設定したものである。具体的には、各ブロック制御配線36の第1～第8ブロックにおける配線幅を、下記表3に示すように設定している。但し、表3において、抵抗値以外の数字の単位はμmである。また、各ブロック制御配線間の間隔は8μmである。

【0034】

【表3】

ブロック 制御配線	第1 リリ7	第2 リリ7	第3 リリ7	第4 リリ7	第5 リリ7	第6 リリ7	第7 リリ7	第8 リリ7	抵抗値 Ω
第1	8	—	—	—	—	—	—	—	266.3
第2	12	10	—	—	—	—	—	—	301.8
第3	12	16	20	—	—	—	—	—	328.4
第4	18	20	22	26	—	—	—	—	344.4
第5	20	24	24	28	38	—	—	—	362.9
第6	24	25	31	32	38	50	—	—	363.5
第7	24	26	30	35	45	57	94	—	365.5
第8	21	26	28	42	50	72	93	195	365.4

【0035】また、図11は各ブロック制御配線（第1～第8ブロック制御配線）の抵抗値を示す図である。この表3及び図11に示すように、本実施の形態では、抵抗値の最小値（第1ブロック制御配線の抵抗値）と最大値（第8ブロック制御配線の抵抗値）との差が約100Ωであり、第1の実施の形態に比べて、抵抗値の差を更に低減することができる。また、抵抗値の最大値を低減することができるので、信号の波形の鈍りを抑制することができて、良好な表示品質が得られる。

【0036】（その他の実施の形態）図12は本発明の他の実施の形態の液晶表示パネルの各ブロック制御配線と1ブロック分のアナログスイッチとの接続状態を示す平面図である。なお、本実施の形態においても、図7を参照して説明する。各ブロックBL1～BL8の端部においてブロック制御配線36とアナログスイッチ34とを接続する場合、同一ブロック内の方の端部のアナログスイッチ34と他方の端部のアナログスイッチ34との間の配線の抵抗値の差が大きく、表示特性が低下するおそれがある。

【0037】そこで、本実施の形態においては、図12に示すように、1ブロックのアナログスイッチ36のブロック制御信号入力端を接続する接続配線41の中央部において、接続配線41とブロック制御配線36とを接続する。これにより、同一ブロック内の抵抗値の差が低減され、表示性能の低下を防止することができる。図13は、ブロック制御配線36の構造を示す模式的断面図である。この例では、ブロック制御配線36は多層構造を有し、下層のブロック制御配線36aと上層のブロック制御配線36bとは絶縁膜42に形成されたコンタクトホール42aを介して相互に接続されている。

【0038】本実施の形態においては、ブロック制御配線36が多層構造を有し、かつ、下層のブロック制御配線36aと上層のブロック制御配線36bとが相互に電気的に接続されているので、ブロック制御配線36の抵抗値がより小さいという利点がある。上記したように、本発明においては、各ブロック配線配置エリア毎、或い

は同一エリア内において、ブロック制御配線の配線幅をそれぞれ異ならすことによって、ブロック制御線の抵抗値の差を低減することを実現した。

【0039】ブロック制御配線の比抵抗、或いは層構造（単層か、多層かなど）を異なることも、本発明の趣旨に沿い、同等の効果を奏する。例えば、図5に示すように各ブロック制御配線16の幅が同じであっても、各配線の比抵抗（単位長さ当たりの抵抗値）を調整することにより、各ブロック制御配線16の始点から終点までの抵抗値の差を小さくすることができる。比抵抗を調整する方法としては、配線長が短い配線16を抵抗値が比較的大きい材料により形成し、配線長が長い配線16を抵抗値が比較的小さい材料により形成することにより実現することができる。また、配線長が短い配線16を単層構造とし、配線長が長い配線を図13に示すように多層構造としてもよい。この場合も、上記の実施の形態と同様の効果を得ることができる。

【0040】なお、上述した各実施の形態においては、いずれもTAB端子とアナログスイッチとの間を接続するブロック制御配線について説明したが、本発明はガラス基板上にCOG接続された半導体チップとアナログスイッチとの間を接続するブロック制御配線について適用することもできる。

【0041】

【発明の効果】以上説明したように、本発明によれば、ブロック制御配線の配線幅が各ブロック制御配線配置エリア毎に異なっているので、最短のブロック制御配線と最長のブロック制御配線との抵抗値の差を低減することができて、ブロック制御信号の波形の鈍りを低減することができる。これにより、表示品質の良好な液晶表示装置が得られる。

【0042】また、複数のブロック制御配線の始点から終点までの抵抗値の差が小さくなるように各配線の比抵抗を調整することによっても、上記と同様の効果を得ることができる。

【図面の簡単な説明】

【図1】図1はT A B併用ドライバ一体型液晶表示装置を示すブロック図である。

【図2】図2は液晶表示パネルのT F T基板を示す模式図である。

【図3】図3は液晶表示パネルの表示部の平面図である。

【図4】図4はアナログスイッチを示す回路図である。

【図5】図5は従来の液晶表示パネルのブロック制御配線の配線パターンを示す模式図である。

【図6】図6は従来の液晶表示装置の各ブロック制御配線の抵抗値を示す図である。

【図7】図7は本発明の第1の実施の形態の液晶表示パネルを示す平面図である。

【図8】図8は第1の実施の形態の液晶表示パネルのブロック制御配線のレイアウトパターンを示す平面図である。

【図9】図9は第1の実施の形態の各ブロック制御配線の抵抗値を示す図である。

【図10】図10は本発明の第2の実施の形態の液晶表示パネルのブロック制御配線の配線パターンを示す模式図である。

【図11】図11は第2の実施の形態の液表表示パネルの各ブロック制御配線の抵抗値を示す図である。

【図12】図12は本発明の他の実施の形態の液晶表示

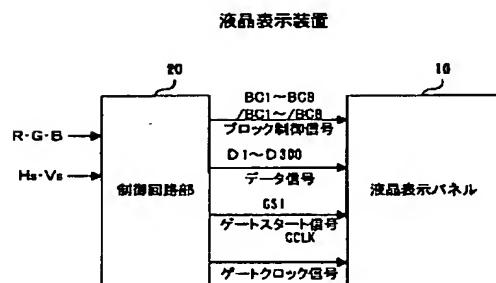
パネルの各ブロック制御配線と1ブロック分のアナログスイッチとの接続状態を示す平面図である。

【図13】図13は本発明の他の実施の形態の液晶表示パネルのブロック制御配線の構造を示す模式的断面図である。

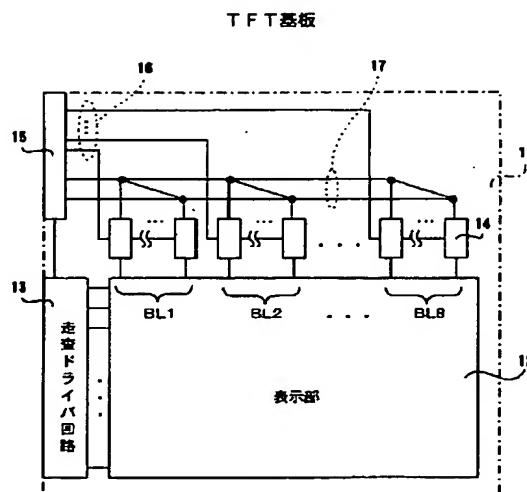
【符号の説明】

- 1 0 液晶表示パネル、
- 1 1, 3 1 ガラス基板、
- 1 2, 3 2 画像表示部、
- 1 3, 3 3 走査ドライバ回路、
- 1 4, 3 4 アナログスイッチ、
- 1 5, 3 5 T A B端子、
- 1 6, 3 6 ブロック制御配線、
- 1 7, 3 7 データ配線、
- 2 0 制御回路部、
- 2 1 データバスライン、
- 2 2 ゲートバスライン、
- 2 3 画素電極、
- 2 4 T F T、
- 3 6 a 下層ブロック制御配線、
- 3 6 b 上層ブロック制御配線、
- 4 1 接続配線、
- 4 2 絶縁膜、
- 4 2 a コンタクトホール。

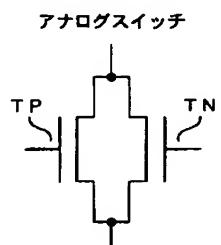
【図1】



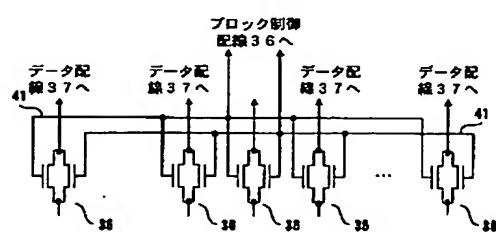
【図2】



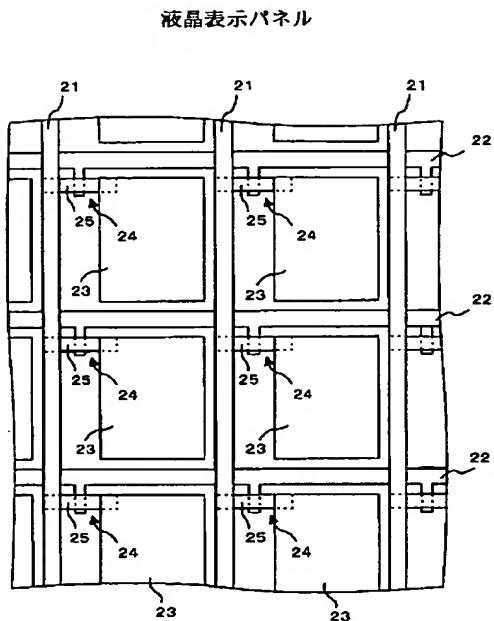
【図4】



【図12】

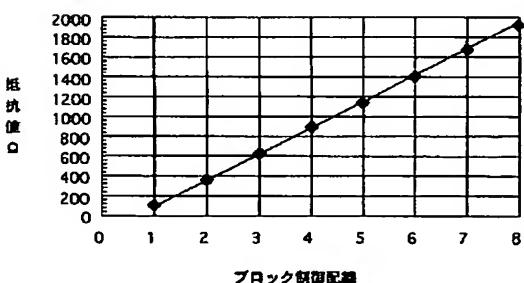


【図3】

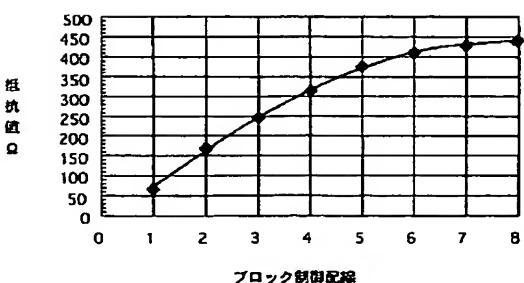


21:データバスライン 24:TFT
22:ゲートバスライン 25:ポリシリコン端
23:回路電極

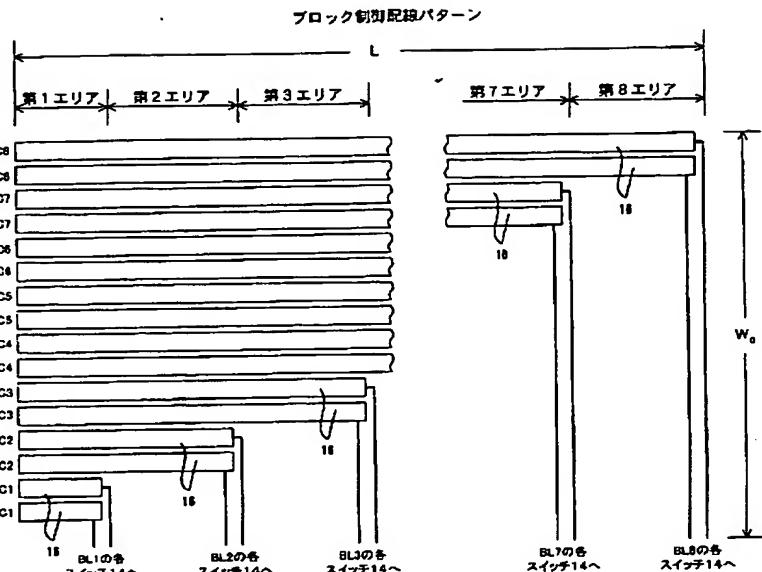
【図6】



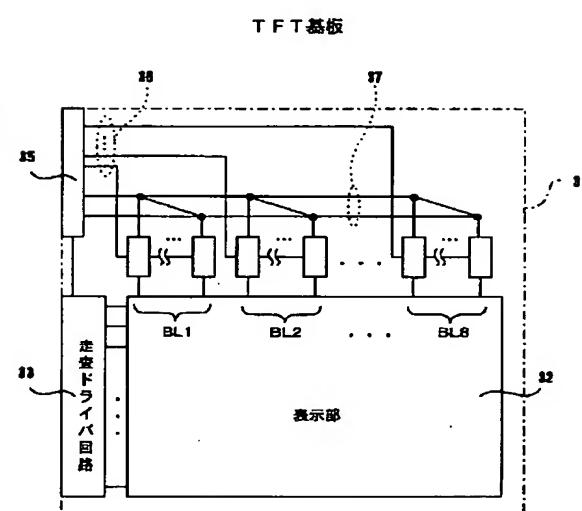
【図9】



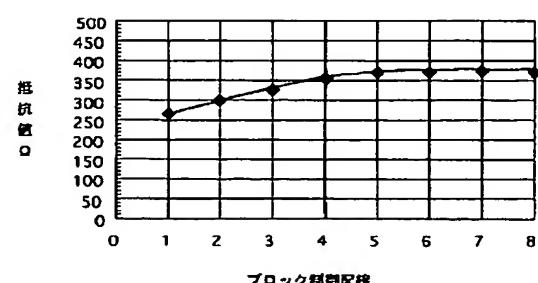
【図5】



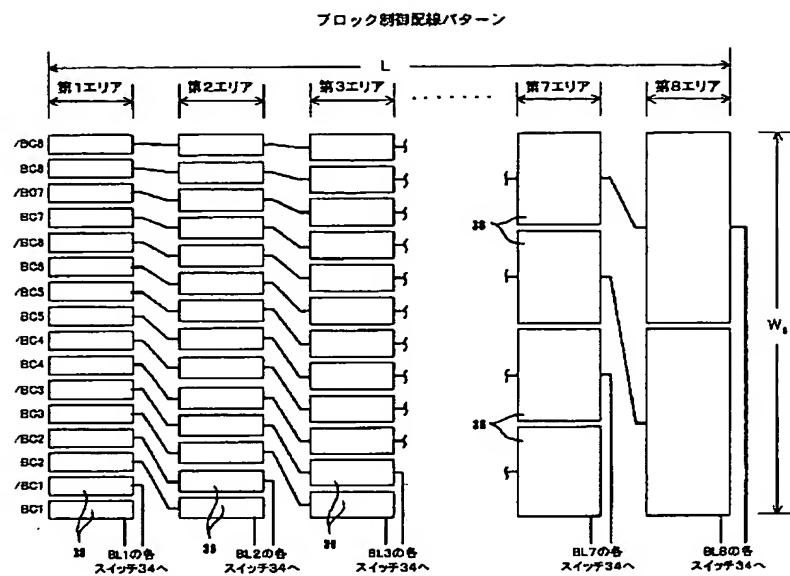
【図7】



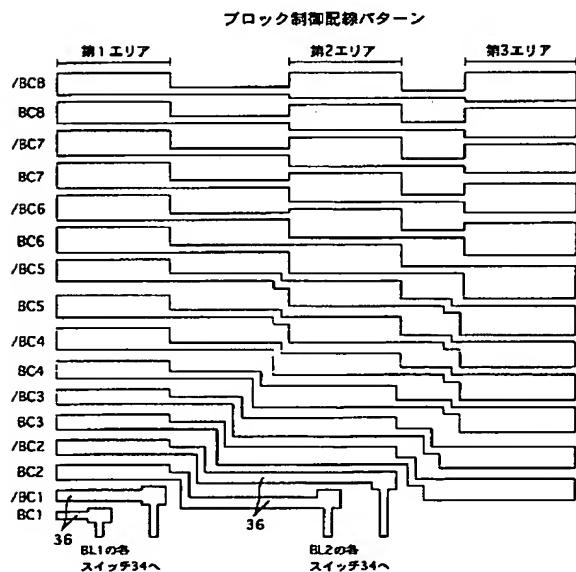
【図11】



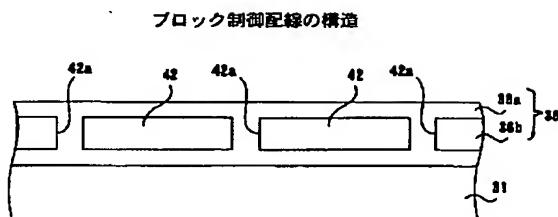
【図8】



【図10】



【図13】



フロントページの続き

(51) Int. Cl. 7
G 09 G 3/36

識別記号

F I
G 09 G 3/36

テ-マコ-ト (参考)

(72) 発明者 高原 和博
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fタ一ム(参考) 2H092 GA25 GA26 GA28 GA51 GA59
JA24 JB23 JB24 JB32 JB33
KA04 NA01 NA28 PA06
2H093 NA16 NA43 NC12 ND05
5C006 AF50 BB16 BC20 BC23 FA37
5C080 AA10 BB05 DD05 DD10 FF11
JJ02 JJ03 JJ05 JJ06
5C094 AA04 AA13 AA48 AA53 AA55
BA03 BA43 CA19 DA09 DA13
DB01 DB04 EA04 EA10 EB02
FA01 FA02 GA10 GB10